

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-215908

(43)Date of publication of application : 05.08.1994

(51)Int.CI.

H01C 7/04

H01C 1/14

H01C 17/06

(21)Application number : 05-141682

(71)Applicant : MITSUBISHI MATERIALS CORP

(22)Date of filing : 14.06.1993

(72)Inventor : FUJIMOTO YOSHINORI  
KOSHIMURA MASAMI

(30)Priority

Priority number : 04343472  
04343474

Priority date : 30.11.1992  
30.11.1992

Priority country : JP

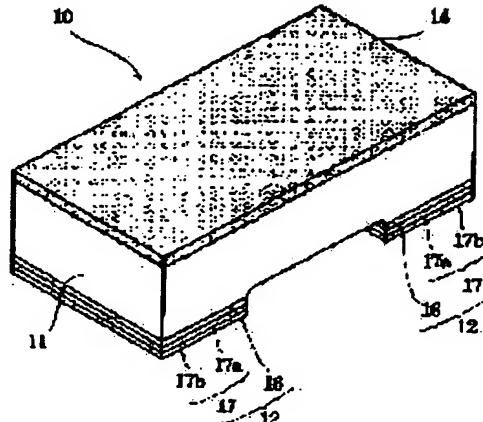
JP

## (54) CHIP TYPE THERMISTOR AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PURPOSE:** To readily manufacture at lower cost a chip type thermistor which does not have a solder bridge between electrodes, which is excellent in solder heat resistance and solder adhesive characteristics, in which the resistance does not change due to plating of electrodes, and which has high strength against pulling stress caused by thermal stress.

**CONSTITUTION:** A pair of terminal electrodes 12, 12 is provided at regular intervals along two edges opposing to the lower surface of a chip-like hexahedron thermistor element 11, and an upper insulation layer 14 is provided in the entire upper surface of the thermistor element 11. A lower insulation can be also provided between the pair of electrodes 12, 12 on the lower surface. A pair of terminal electrodes can also be provided at regular intervals along two edges opposing to the upper surface of the termistor element 11 instead of the lower insulation layer 14. A pair of thermal electrodes can also be provided at regular intervals along two edges opposing to the upper surface of the thermistor element 11 instead of the upper insulation layer 14, and the upper insulation layer can also be provided between the electrodes.



### LEGAL STATUS

[Date of request for examination] 30.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-215908

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 C 7/04				
1/14	Z			
17/06	B 8834-5E			
	V 8834-5E			

審査請求 未請求 請求項の数16 O.L (全 15 頁)

(21)出願番号	特願平5-141682
(22)出願日	平成5年(1993)6月14日
(31)優先権主張番号	特願平4-343472
(32)優先日	平4(1992)11月30日
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平4-343474
(32)優先日	平4(1992)11月30日
(33)優先権主張国	日本 (JP)

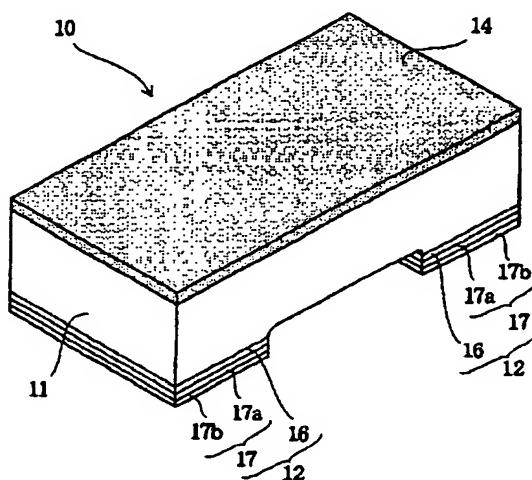
(71)出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(72)発明者	藤本 義典 埼玉県秩父郡横瀬町大字横瀬2270番地 三 菱マテリアル株式会社セラミックス研究所 内
(72)発明者	越村 正己 埼玉県秩父郡横瀬町大字横瀬2270番地 三 菱マテリアル株式会社セラミックス研究所 内
(74)代理人	弁理士 須田 正義

(54)【発明の名称】チップ型サーミスタ及びその製造方法

(57)【要約】(修正有)

【目的】電極間のはんだブリッジがなく、はんだ耐熱性とはんだ付着性に優れ、電極のめっき処理による抵抗値の変化がなく、熱的ストレスに起因した引張応力に対する強度が高いチップ型サーミスタを容易にかつ安価に製造する。

【構成】6面体からなるチップ状サーミスタ素体11の下面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極12, 12が設けられ、サーミスタ素体11の上面全体に上面絶縁層14とが設けられる。下面の一対の電極12, 12間に下面絶縁層を設けることもできる。上面絶縁層14の代わりにサーミスタ素体11の上面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極を設けることもできる。上面絶縁層14の代わりにサーミスタ素体11の上面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極を設け、電極間に上面絶縁層を設けることもできる。



10 チップ型サーミスタ  
11 サーミスタ素体  
12 端子電極  
14 上面絶縁層  
16 下地電極  
17 めっき層  
17a Niめっき層  
17b Sn又はSn/Pbめっき層

## 【特許請求の範囲】

【請求項1】 6面体からなるチップ状サーミスタ素体(11)と、

前記サーミスタ素体(11)の下面の相対向する2つの端縁に沿って間隔をあけて設けられた一対の端子電極(12,12)と、

前記サーミスタ素体(11)の上面全体に設けられた上面絶縁層(14)とを備えたチップ型サーミスタ。

【請求項2】 サーミスタ素体(11)の下面の一対の端子電極(12,12)間に下面絶縁層(13)が設けられた請求項1記載のチップ型サーミスタ。

【請求項3】 6面体からなるチップ状サーミスタ素体(11)と、

前記サーミスタ素体(11)の下面の相対向する2つの端縁に沿って間隔をあけて設けられた一対の端子電極(12,12)と、

前記サーミスタ素体(11)の上面の相対向する2つの端縁に沿って間隔をあけて設けられた別の一対の端子電極(32,32)とを備えたチップ型サーミスタ。

【請求項4】 サーミスタ素体(11)の下面の一対の端子電極(12,12)間に下面絶縁層(13)が設けられ、前記サーミスタ素体(11)の上面の別の一対の端子電極(42,42)間に上面絶縁層(44)が設けられた請求項3記載のチップ型サーミスタ。

【請求項5】 端子電極(12,32,42)が貴金属を含む下地電極(16,36,46)と、この下地電極(16,36,46)の表面に形成されたNiめっき層(17a,37a,47a)と、このNiめっき層(17a,37a,47a)の表面に形成されたSn又はSn/Pbめっき層(17b,37b,47b)とを備えた請求項1ないし4いずれか記載のチップ型サーミスタ。

【請求項6】 Niめっき層(17a)及びSn又はSn/Pbめっき層(17b)の表面積が下地電極(16)の表面積より小さく形成され、下面絶縁層(13)が前記Niめっき層(17a)及びSn又はSn/Pbめっき層(17b)を除くサーミスタ素体(11)の下面全体に設けられた請求項2記載のチップ型サーミスタ。

【請求項7】 Niめっき層(17a,47a)及びSn又はSn/Pbめっき層(17b,47b)の表面積が下地電極(16,46)の表面積より小さく形成され、下面絶縁層(13)が前記Niめっき層(17a)及びSn又はSn/Pbめっき層(17b)を除くサーミスタ素体(11)の下面全体に設けられ、上面絶縁層(44)が前記Niめっき層(47a)及びSn又はSn/Pbめっき層(47b)を除くサーミスタ素体(11)の上面全体に設けられた請求項4記載のチップ型サーミスタ。

【請求項8】 上面絶縁層(14,44)又は下面絶縁層(13)はガラス層である請求項1、2又は4いずれか記載のチップ型サーミスタ。

【請求項9】 上面絶縁層(14,44)又は下面絶縁層(13)は合成樹脂層である請求項1、2又は4いずれか記載のチップ型サーミスタ。

10 【請求項10】 ガラス層はその熱膨張係数がサーミスタ素体(11)の熱膨張係数の40%以上100%以下である請求項8記載のチップ型サーミスタ。

【請求項11】 サーミスタ素体(11)の下面を除く他の5面に絶縁性皮膜(50)が設けられた請求項1又は2記載のチップ型サーミスタ。

【請求項12】 (a) サーミスタ素体用セラミック焼結シート(21)の片面全体に下地電極(16)を形成する工程と、

(b) 前記焼結シート(21)の別の片面全体に絶縁性ペーストを塗布する工程と、

(c) 前記(b)工程の焼結シート(21)を焼成して絶縁層(14)を形成する工程と、

(d) 前記下地電極(16)の表面にNiめっき層(17a)及びSn又はSn/Pbめっき層(17b)をこの順に形成する工程と、

(e) 前記下地電極(16)とめっき層(17)からなる電極面をスリット状に研削して多数列の電極を前記焼結シート(21)の片面に形成する工程と、

(f) 前記多数列の電極を形成した焼結シート(21)を2列の電極ずつ各電極が端縁に位置するように短冊状に切断する工程と、

(g) 前記短冊状サーミスタ素体(22)をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体(11)の下面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極(12,12)を有するチップ型サーミスタ(10)を得る工程とを含むチップ型サーミスタの製造方法。

20 【請求項13】 (h) サーミスタ素体用セラミック焼結シート(21)の片面に多数列の下地電極(16)を形成する工程と、

(i) 前記下地電極(16)を露出しつつ前記下地電極(16,16)間を埋めるように前記焼結シート(21)の片面に絶縁性ペーストを塗布する工程と、

(j) 前記(i)工程の焼結シート(21)の別の片面全体に前記絶縁性ペーストを塗布する工程と、

(k) 前記(j)工程の焼結シート(21)を焼成して絶縁層(13,14)を形成する工程と、

(l) 前記露出した下地電極(16)の表面にNiめっき層(17a)及びSn又はSn/Pbめっき層(17b)をこの順に形成して前記下地電極(16)とめっき層(17)からなる多数列の電極を前記焼結シート(21)上に形成する工程と、

(m) 前記多数列の電極を形成した焼結シート(21)を2列の電極ずつ各電極が端縁に位置するように短冊状に切断する工程と、

(n) 前記短冊状サーミスタ素体(22)をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体(11)の下面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極(12,12)を有するチップ型サーミスタ(20)を得る工程とを含むチップ型サーミスタの製造方法。

50 【請求項14】 (o) 前記(a)工程で下地電極(16)を形

成した焼結シート(21)の別の片面全体に別の下地電極(36)を形成する工程と、

(p) 前記下地電極(16,36)の表面にNiめっき層(17a,37a)及びSn又はSn/Pbめっき層(17b,37b)をこの順にそれぞれ形成する工程と、

(q) 前記焼結シートの両面に形成した下地電極(16,36)とめっき層(17,37)からなる電極面をそれぞれスリット状に研削して多数列の電極を前記焼結シート(21)の両面に相対向するように形成する工程と、

(r) 前記多数列の電極を形成した焼結シート(21)を2列の電極ずつ各電極が端縁に位置するように短冊状に切断する工程と、

(s) 前記短冊状サーミスタ素体をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体(11)の上面及び下面のそれぞれ相対向する2つの端縁に沿って間隔をあけて2組の一対の端子電極(12,12,32,32)を有するチップ型サーミスタ(30)を得る工程とを含むチップ型サーミスタの製造方法。

【請求項15】 (t) 前記(h)工程で多数列の下地電極(16)を形成した焼結シート(21)の別の片面に前記下地電極(16)に相対向するように多数列の下地電極(46)を形成する工程と、

(u) 前記下地電極(16,46)を露出しつつ前記下地電極(16,46)間に埋めるように前記焼結シート(21)の両面に絶縁性ペーストを塗布する工程と、

(v) 前記焼結シート(21)を焼成して絶縁層(13,44)を形成する工程と、

(w) 前記露出した下地電極(16,46)の表面にNiめっき層(17a,47a)及びSn又はSn/Pbめっき層(17b,47b)をこの順にそれぞれ形成して前記下地電極(16,46)とめっき層(17,47)からなる多数列の電極を前記焼結シート(21)の両面に形成する工程と、

(x) 前記多数列の電極を形成した焼結シート(21)を2列の電極ずつ各電極が端縁に位置するように短冊状に切断する工程と、

(y) 前記短冊状サーミスタ素体をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体(11)の上面及び下面のそれぞれ相対向する2つの端縁に沿って間隔をあけて2組の一対の端子電極(12,12,42,42)を有するチップ型サーミスタ(40)を得る工程とを含むチップ型サーミスタの製造方法。

【請求項16】 前記(g)工程又は(n)工程の後に、

(z) サーミスタ素体(11)の下面を除く他の5面に絶縁性皮膜(50)を形成する工程を含む請求項12又は13記載のチップ型サーミスタの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は、プリント回路基板等に表面実装されるチップ型サーミスタ及びその製造方法に関する。更に詳しくは電子機器の温度補償用サーミスタ

や表面温度測定用センサに適し、温度上昇に従って抵抗値が減少するチップ型サーミスタ及びその製造方法に関するものである。

##### 【0002】

【従来の技術】 従来、この種のチップ型サーミスタは、サーミスタ素体の両端部に銀-パラジウムを主成分とする電極が焼付けられている。電極成分に銀の他にパラジウムを含有する理由は、基板にチップ型サーミスタをはんだ付けする際に、銀がはんだ中に溶出して消失することを防止し、電極のはんだ耐熱性を得るためにある。

【0003】 しかし、パラジウムの含有量を増加すると電極のはんだ付着性が低下して基板へのチップ型サーミスタの固着力が弱くなるため、パラジウムの含有量には一定の限界があった。このため電極のはんだ付けが高温で長時間行われる場合には、従来のチップ型サーミスタはなおはんだ耐熱性が不十分であった。はんだ耐熱性とははんだ付着性を向上させるために、チップ型コンデンサと同様に、焼付け電極である下地電極の表面にめっき層を設けることが考えられるが、サーミスタ素体はコンデンサ素体と異なり導電性を有するため、このサーミスタ素体を露出したままめっき処理した場合、素体表面にめっきが付着してサーミスタの抵抗値が所期の値と異なり、しかもサーミスタ素体がめっき液で浸食されてサーミスタの信頼性が低下する等の不具合を生じる。

【0004】 この点を改善するため、本出願人は焼付け電極層が接触する部分以外のサーミスタ素体の表面をガラス層で被覆し、焼付け電極層の表面にめっき層を形成したチップ型サーミスタを特許出願した(特開平3-250603)。このチップ型サーミスタは、次の方法により製造される。先ずサーミスタ素体用のセラミック焼結シートの両面にガラスペーストを印刷して焼成することにより絶縁性のガラス層を形成する。次いで両面がガラス層で被覆された焼結シートを短冊状に切断した後、両側の切断面に前述と同様にガラスペーストを印刷焼成してガラス層を形成する。次に前記切断面と垂直な方向にこの短冊状物を細かく切断してチップを作る。このチップの切断面を包むようにチップの両端部に導電性ペーストを塗布し、焼成して焼付け電極層を形成する。更にこの焼付け電極層を下地電極としてこの表面にめっき層を形成して焼付け電極層とめっき層からなる端子電極を有するチップ型サーミスタを得る。

##### 【0005】

【発明が解決しようとする課題】 しかし、上記チップ型サーミスタを含め、一般にチップ状サーミスタ素体の両側面に端子電極を設ける構造のチップ型サーミスタは、プリント回路基板に表面実装した後の熱的ストレスによる引張応力が加わったときにクラックを生じ易い。そしてクラックが発生するとサーミスタとしての特性が変化する。また上記製造方法では、ガラス層の被覆を2回に分けて行う必要がある上、チップになった後に、その両

端部に導電性ペーストを塗布したり、めっき層を形成したりする必要がある。このため、チップにした後の取扱いに多大の注意を払わなければならない。これらのことから製造工程が複雑化し、必然的に製造コストが高価になる問題点があった。

【0006】本発明の目的は、電極間にはんだブリッジが発生せず、はんだ耐熱性及びはんだ付着性に優れ、電極のめっき処理による抵抗値の変化がなく、信頼性の高いチップ型サーミスタを提供することにある。本発明の別の目的は、熱的ストレスに起因した引張応力に対する強度が高いチップ型サーミスタを提供することにある。本発明の別の目的は、表裏の方向性がなく、基板実装前の作業を容易にするチップ型サーミスタを提供することにある。本発明の更に別の目的は、上記優れたチップ型サーミスタを比較的容易にかつ安価に製造できるチップ型サーミスタの製造方法を提供することにある。

#### 【0007】

【問題点を解決するための手段】図1～図3に示すように、本発明の第1のチップ型サーミスタ10は、6面体からなるチップ状サーミスタ素体11と、このサーミスタ素体11の下面の相対向する2つの端縁に沿って間隔をあけて設けられた一対の端子電極12, 12と、このサーミスタ素体11の上面全体に設けられた上面絶縁層14とを備えたものである。図4～図6に示すように、本発明の第2のチップ型サーミスタ20は、第1のチップ型サーミスタ10のサーミスタ素体11の下面の一対の端子電極12, 12間に下面絶縁層13を設けたものである。

【0008】図7に示すように、本発明の第3のチップ型サーミスタ30は、第1のチップ型サーミスタ10において、サーミスタ素体11の上面絶縁層14の代わりに、サーミスタ素体11の上面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極32, 32を設けたものである。図8に示すように、本発明の第4のチップ型サーミスタ40は、第2のチップ型サーミスタ20において、サーミスタ素体11の上面絶縁層14の代わりに、サーミスタ素体11の上面の相対向する2つの端縁に沿って間隔をあけて一対の端子電極42, 42を設け、これらの端子電極42, 42間に上面絶縁層44を設けたものである。なお、図1、図4、図7及び図8に示すように、端子電極12, 32, 42は貴金属を含む下地電極16, 36, 46と、この下地電極16, 36, 46の表面に形成されたNiめっき層17a, 37a, 47aと、このNiめっき層17a, 37a, 47aの表面に形成されたSn又はSn/Pbめっき層17b, 37b, 47bとを備えることが好ましい。

【0009】また、本発明の第1のチップ型サーミスタ10の製造方法は、図9に示すサーミスタ素体用セラミック焼結シート21の片面全体に下地電極16を形成し(図10及び図11)、焼結シート21の別の片面全

に絶縁性ペーストを塗布した後、この焼結シート21を焼成して絶縁層14を形成し(図12)、下地電極16の表面にNiめっき層17a及びSn又はSn/Pbめっき層17bをこの順に形成し(図1及び図12)、この下地電極16とめっき層17からなる電極面をスリット状に研削して多数列の電極を焼結シート21の片面に形成し(図13)、この焼結シート21を2列の電極ずつ各電極が端縁に位置するよう短冊状に切断し(図14)、短冊状サーミスタ素体22をその切断面と垂直な方向でチップ状に切断してチップ型サーミスタ10を得る(図15)方法である。

【0010】また、本発明の第2のチップ型サーミスタ20の製造方法は、図9に示すサーミスタ素体用セラミック焼結シート21の片面に多数列の下地電極16を形成し(図16及び図17)、下地電極16を露出しがつこれらの下地電極間を埋めるように焼結シート21の片面に絶縁性ペーストを塗布し、焼結シート21の別の片面全体に絶縁性ペーストを塗布した後、この焼結シート21を焼成して絶縁層13, 14を形成し(図18)、露出した下地電極16の表面にNiめっき層17a及びSn又はSn/Pbめっき層17bをこの順に形成して下地電極16とめっき層17からなる多数列の電極を焼結シート上に形成し(図4及び図19)、この焼結シート21を2列の電極ずつ各電極が端縁に位置するよう短冊状に切断し(図20)、短冊状サーミスタ素体22をその切断面と垂直な方向でチップ状に切断してチップ型サーミスタ20を得る(図21)方法である。

【0011】また、本発明の第3のチップ型サーミスタ30の製造方法は、図9に示すサーミスタ素体用セラミック焼結シート21の両面に下地電極16及び36を形成し(図31)、これらの下地電極16, 36の表面にNiめっき層17a, 37a及びSn又はSn/Pbめっき層17b, 37bをこの順にそれぞれ形成して下地電極16, 36とめっき層17, 37からなる電極を焼結シートの両面に形成し(図7及び図32)、以下、図示しないが、図13及び図14と同じ方法で焼結シートの両面に形成した下地電極16, 36とめっき層17, 37からなる電極面をそれぞれスリット状に研削して多数列の電極を焼結シート21の両面に相対向するよう形成し、この焼結シートを2列の電極ずつ各電極が端縁に位置するよう短冊状に切断し、短冊状サーミスタ素体をその切断面と垂直な方向でチップ状に切断してチップ型サーミスタ30を得る方法である。

【0012】更に、本発明の第4のチップ型サーミスタ40の製造方法は、図9に示すサーミスタ素体用セラミック焼結シート21の両面に互いに相対向するよう多数列の下地電極16及び46を形成し(図33)、これらの下地電極16, 46を露出しがつこれらの下地電極間を埋めるように焼結シート21の両面に絶縁性ペーストを塗布した後、この焼結シート21を焼成して絶縁層

13, 44を形成し(図34)、以下、図示しないが、図19と同じ方法で露出した下地電極16, 46の表面にNiめっき層17a, 47a及びSn又はSn/Pbめっき層17b, 47bをこの順にそれぞれ形成して下地電極16, 46とめっき層17, 47からなる多数列の電極を焼結シートの両面に形成し、この焼結シートを2列の電極ずつ各電極が端縁に位置するように短冊状に切断し、短冊状サーミスタ素体をその切断面と垂直な方向でチップ状に切断してチップ型サーミスタ40を得る方法である。

【0013】以下、本発明を詳述する。

(A) 第1のチップ型サーミスタ10の製造について:

(1) セラミック焼結シートの作製

図9に示すように、サーミスタ素体用セラミック焼結シート21を用意する。この焼結シート21は次の方法により作られる。先ずMn, Fe, Co, Ni, Cu, Al等の金属の酸化物粉末を1種又は2種以上混合する。2種以上混合するときは、所定の金属原子比になるよう各金属酸化物を秤量する。この混合物を仮焼し粉碎し、有機結合材を加え混合して直方体に成形した後、焼成してセラミック焼結ブロック(図示せず)を作製する。次いでこのブロックをバンドソーを用いてウエハ状に切断し、図9に示す焼結シート21を得る。なお、金属酸化物の混合物を仮焼し粉碎した後、有機結合材と溶剤を加え混練してスラリーを調製し、このスラリーをドクターブレード法等により成膜乾燥してグリーンシートを成形し、これを焼成し焼結シート21を得てもよい。

【0014】(2) 下地電極の形成

次に、図10に示すように、焼結シート21の片面全体に貴金属粉末と無機結合材を含む導電性ペーストを塗布して焼成する。図11は図10のF部拡大図である。この塗布は導電性ペーストを均一に印刷する印刷法によることが好ましい。貴金属粉末を例示すれば、Ag, Au, Pd, Pt等の貴金属、又はこれらを混合した粉末が挙げられる。この焼成により下地電極16が焼結シート21の片面全体に形成される。なお、導電性ペーストを印刷法により塗布し、これを焼成して焼付け電極層の下地電極を形成する以外に、焼結シート21の片面に溶射法により下地電極を形成することもできる。

【0015】(3) 絶縁層の形成

図12に示すように、焼結シート21の下地電極16が設けられない片面全体に絶縁性ペーストが塗布される。この塗布も印刷法によることが好ましい。絶縁性ペーストはガラスペースト又は樹脂ペーストである。ガラスペーストに含まれるガラス成分又は樹脂ペーストに含まれる樹脂は耐めっき性があることが必要である。ガラス成分は結晶質であっても非結晶質であってもよい。また樹脂としてはエポキシ樹脂のような熱硬化性樹脂が例示される。この絶縁性ペーストを塗布した後、焼結シート21を熱処理して、10~20μm程度の厚さのガラス層

又は樹脂層からなる絶縁層14が形成される。この絶縁層14がガラス層の場合には、ガラス層14はその熱膨張係数がサーミスタ素体用焼結シート21の熱膨張係数の40%以上100%以下であることが好ましい。熱膨張係数がこの範囲内にあると、ガラス層がない場合に比較してサーミスタ10の抗折強度が増加する。

【0016】抗折強度とは、間隔を設けて配置された2つの台にチップ型サーミスタの両端を置き、チップ型サーミスタの中央部に応力を加えたときの破壊強度をいう。これは、チップ型サーミスタをプリント回路基板に表面実装したときのはんだ等による熱や実装後の熱サイクルによって生じる応力歪み(熱的ストレイン)にどれだけ耐えることができるかの目安となる。本発明のガラス層を有するサーミスタ10の抗折強度が増加するのは、サーミスタ素体表面のガラス層に圧縮応力が残留するためと考えられる。即ち、製造時に熱膨張していたサーミスタ素体11とガラス層14が冷えると、熱膨張係数の大きなサーミスタ素体の方が縮み方が大きく、ガラス層が圧縮された状態となる。この状態のサーミスタ10に折曲げ力を加えると、折曲げの内側には圧縮応力が生じ、外側には引張応力が生じる。サーミスタ素体とガラス層は、ともに圧縮応力に強く引張応力に弱い特徴がある。このため、予めガラス層により圧縮応力を与えておくと、ガラス層がない場合に比べて、折曲げ力を加えたときにその曲げの外側の引張応力に対してクラックが生じにくくなる。樹脂層はサーミスタの抗折強度を高める作用はないが、ガラス層と比べて低い熱処理温度で硬化して形成できる利点がある。

【0017】(4) めっき層の形成

図1及び図12に示すように、下地電極16の表面にめっき層17を設けて、下地電極16及びめっき層17により電極を作ることが好ましい。めっき層17はNiめっき層17a及びSn又はSn/Pbめっき層17bをこの順に形成する。これらのめっき層は電解めっきにより形成される。めっき浴はNi, Sn又はSn/Pbともそれぞれ公知のものを使用する。めっき層を二重構造にするのは、Niめっき層17aによりはんだ耐熱性を向上させはんだによる下地電極16の電極食われを防止するためであり、Sn又はSn/Pbめっき層17bにより端子電極12のはんだ付着性を向上するためである。

【0018】(5) 多数列の電極の形成

図12及び図13に示すように、ダイヤモンドブレード付き切断機のようなダイシングソーを用いて符号B部分の下地電極16及びめっき層17からなる電極面をスリット状に研削して多数列の電極を焼結シート21の片面に形成する。この研削により多数列の電極の間に凹条15が形成される。この凹条15が最終製品のチップ型サーミスタ10の端子電極間のギャップとなる。

【0019】(6) 短冊状サーミスタ素体の形成

図13及び図14に示すように、矢印Mの箇所で凹条15を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するように上記ダイシングソーで短冊状に切断し、短冊状サーミスタ素体22を得る。

【0020】(7) チップ型サーミスタの作製

図14及び図15に示すように、上記ダイシングソーを用いて矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断してチップ型サーミスタ10を得る。図15で得られたチップ型サーミスタ10を裏返せば、図1及び図3のチップ型サーミスタとなる。

【0021】(B) 第2のチップ型サーミスタ20の製造について：

(1) セラミック焼結シートの作製と下地電極の形成  
第1のチップ型サーミスタ10のセラミック焼結シートと同じ製法でセラミック焼結シート21を作製する。次に、図16に示すように、焼結シート21の片面に貴金属粉末と無機結合材を含む導電性ペーストを織状に塗布して焼成する。図17は図16のF部拡大図である。この塗布は所定の織状パターンを焼結シート21に重ね合せて導電性ペーストを印刷する印刷法によることが好ましい。導電性ペーストは第1のチップ型サーミスタ10のそれと同じである。この焼成により、多数列の下地電極16が形成される。ここで、焼結シート21の一方の端縁に多数列の下地電極16すべてに接続するめっき用電極層16a(図16)を形成しておくことが好ましい。なお、導電性ペーストを印刷法により塗布し、これを焼成して焼付け電極層の下地電極を形成する以外に、焼結シート21の片面に所定の織状パターンを重ね合せて溶射法により下地電極を形成することもできる。

【0022】(2) 絶縁層の形成

図18に示すように、焼結シート21の両面にそれぞれ同一の絶縁性ペーストを塗布する。この絶縁性ペーストは第1のチップ型サーミスタ10の絶縁性ペーストと同じであって、ガラスペースト又は樹脂ペーストである。下地電極16が設けられた片面では、下地電極16を露出しつつこれらの電極間を埋めるように絶縁性ペーストがやはり織状に塗布される。めっき用電極層16aがある場合には、この電極層16aも露出される。下地電極16が設けられない片面では絶縁性ペーストがシート全体に塗布される。シート両面への絶縁性ペーストの塗布は印刷法によることが好ましい。この絶縁性ペーストを塗布した後、焼結シート21を熱処理して、10~20μm程度の厚さのガラス層又は樹脂層からなる絶縁層13, 14が形成される。絶縁層13, 14がガラス層の場合、ガラス層の熱膨張係数は第1のチップ型サーミスタ10のガラス層と同じ理由でサーミスタ素体用焼結シート21の熱膨張係数の40%以上100%以下であることが好ましい。

【0023】(3) めっき層の形成

図4及び図19に示すように、露出した下地電極16の表面にめっき層17を設けて、下地電極16及びめっき層17により多数列の電極を作ることが好ましい。めっき層17はNiめっき層17a及びSn又はSn/Pbめっき層17bをこの順に形成する。これらのめっき層は第1のチップ型サーミスタ10のめっき層と同様に形成される。

【0024】(4) 短冊状サーミスタ素体の形成

図19及び図20に示すように、矢印Mの箇所でめっき層17を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するようにダイヤモンドブレード付き切断機のようなダイシングソーで短冊状に切断し、短冊状サーミスタ素体22を得る。

【0025】(5) チップ型サーミスタの作製

図20及び図21に示すように、上記ダイシングソーを用いて矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断してチップ型サーミスタ20を得る。図21で得られたチップ型サーミスタ20を裏返せば、図4及び図6のチップ型サーミスタとなる。

【0026】(6) その他の構造の第2のチップ型サーミスタの作製

図22に示すように、焼結シート21の片面に下地電極26を多数歯状に形成する。この電極層26は1つの単位が電極部26aと接続部26bからなる。上述しためっき層を形成した後に、図23の破線Rに示すように焼結シート21を切断すると、図25~図27に示すチップ型サーミスタ28が得られる。このサーミスタ28は電極層26の露出部分がサーミスタ20と比べて少なく、イオン移動の影響を受けにくくなる。また図24の破線Sに示すように焼結シート21を切断すると、図28~図30に示すチップ型サーミスタ29が得られる。このサーミスタ29は電極層26の露出部分がないため、イオン移動の影響をほとんど受けない。ただし、図24の接続部26bが連なる符号Tに示す部分は破棄される。図25~図30において、図5及び図6と同一符号は同一構成部位を示す。

【0027】(C) 第3のチップ型サーミスタ30の製造について：

(1) セラミック焼結シートの作製と下地電極の形成

第1のチップ型サーミスタ10のセラミック焼結シートと同じ製法でセラミック焼結シート21を作製する。次に、図31に示すように、焼結シート21の両面に第1のチップ型サーミスタ10の導電性ペーストと同じ導電性ペーストを同様に塗布して焼成する。この焼成により焼結シート21の両面に下地電極16及び36が形成される。

【0028】(2) めっき層の形成

図7及び図32に示すように、下地電極16及び36の各表面にめっき層17及び37を設けて、下地電極16

及びめっき層17と下地電極36及びめっき層37により電極を作ることが好ましい。めっき層17, 37はNiめっき層17a, 37a及びSn又はSn/Pbめっき層17b, 37bをこの順に形成する。これらのめっき層は第1のチップ型サーミスタ10のめっき層と同様に形成される。

**[0029] (3) 多数列の電極、短冊状サーミスタ素体及びチップ型サーミスタの形成**

図32の符号B部分の下地電極16及びめっき層17と下地電極36及びめっき層37を第1のチップ型サーミスタ10の電極形成と同様にスリット状に研削して多数列の電極を焼結シート21の両面に相対向するように形成する。この研削により図示しないが多数列の電極の間には図13と同じ方法で両面に凹条が形成される。この凹条が最終製品のチップ型サーミスタ30の端子電極間のギャップとなる。図13及び図14と同じ方法で凹条を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するように短冊状に切断し、短冊状サーミスタ素体を得る。この短冊状サーミスタ素体の切断面と垂直な方向でチップ状に切断して図7に示すチップ型サーミスタ30を得る。このサーミスタ30は表裏同形である。

**[0030] (D) 第4のチップ型サーミスタ40の製造について：**

**(1) セラミック焼結シートの作製と下地電極の形成**

第1のチップ型サーミスタ10のセラミック焼結シートと同じ製法でセラミック焼結シート21を作製する。次に、図33に示すように、焼結シート21の両面に第1のチップ型サーミスタ10の導電性ペーストと同じ導電性ペーストを繊維状に塗布する。この繊維は焼結シート21の両面で互いに相対向するように塗布され、その後焼成される。この焼成により焼結シート21の両面に互いに相対向した下地電極16及び46が形成される。

**[0031] (2) 絶縁層の形成**

図34に示すように、焼結シート21の両面にそれぞれ同一の絶縁性ペーストを第2のチップ型サーミスタ20の場合と同様に塗布する。この絶縁性ペーストは第1のチップ型サーミスタ10の絶縁性ペーストと同じであって、ガラスペースト又は樹脂ペーストである。下地電極16が設けられた片面では、下地電極16を露出しつつこれらの電極間を埋めるように、また下地電極46が設けられた片面では、下地電極46を露出しつつこれらの電極間を埋めるように絶縁性ペーストがそれぞれ繊維状に塗布される。図16に示しためっき用電極層16aと同様のめっき用電極層（図示せず）がシート両面にある場合には、これらのめっき用電極層も露出される。絶縁性ペーストを塗布した後、焼結シート21を熱処理して、10~20 μm程度の厚さのガラス層又は樹脂層からなる絶縁層13, 44が形成される。絶縁層13, 44がガラス層の場合、ガラス層の熱膨張係数は第1のチップ

型サーミスタ10のガラス層と同じ理由でサーミスタ素体用焼結シート21の熱膨張係数の40%以上100%以下であることが好ましい。

**[0032] (2) めっき層の形成**

図19で示した第2のチップ型サーミスタ20の電極形成と同様に、下地電極16及び46の各表面にめっき層17及び47を設けて、下地電極16及びめっき層17と下地電極46及びめっき層47により多数列の電極を作ることが好ましい。図8に示すように、めっき層17, 47はNiめっき層17a, 47a及びSn又はSn/Pbめっき層17b, 47bをこの順に形成する。これらのめっき層は第2のチップ型サーミスタ20のめっき層と同様に形成される。

**[0033] (3) 短冊状サーミスタ素体及びチップ型サーミスタの形成**

図19及び図20で示した第2のチップ型サーミスタ20の電極形成と同様にめっき層17及び47を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するように短冊状に切断し、短冊状サーミスタ素体を得る。この短冊状サーミスタ素体の切断面と垂直な方向でチップ状に切断して図8に示すチップ型サーミスタ40を得る。このサーミスタ40も表裏同形である。

**[0034] (E) 絶縁性被膜付きチップ型サーミスタの作製**

図36及び図37に示すように、第1のチップ型サーミスタ10及び第2のチップ型サーミスタ20に関して、それぞれ一対の端子電極12, 12を有するサーミスタ素体11の下面を除く他の5面に絶縁性被膜50を形成してもよい。この被膜50の形成は、図35に示すように一対の端子電極12, 12を有するサーミスタ素体11の下面を樹脂シート又はフィルム50aに張り付けてマスキングした後、樹脂を化学蒸着することにより行われる。図35において符号Pは化学蒸着時の吹き付け線を示す。この化学蒸着に適する樹脂としては、ポリパラキシリレン樹脂（商品名：パリレン樹脂、ユニオンカーバイト社製）が挙げられる。なお、化学蒸着の代わりに熱硬化性樹脂を塗布乾燥した後、熱処理してもよい。

**[0035]**

**【作用】** 図3又は図6に示すように、はんだ23によりプリント回路基板24にチップ型サーミスタ10又は20を表面実装する。このとき、Niめっき層17aによりはんだ耐熱性が向上し、はんだによる下地電極16の電極食われが防止され、Sn又はSn/Pbめっき層17bにより端子電極12のはんだ付着性が向上する。これらのめっき層17は貴金属の下地電極16の表面を被覆するため、貴金属のイオン移動（ion migration）が発生しにくい。チップ型サーミスタ28, 29, 30又は40でも同様である。また、チップ型サーミスタ20, 28, 29又は40の場合、サーミスタ素体11下面の一対の下地電極16, 16, 26, 26又は46,

46間に絶縁層13又は44が設けられるため、第一にめっき層形成時にはサーミスタ素体が露出しないことから素体表面にめっきが付着せず、しかもサーミスタ素体がめっき液で浸食されず、サーミスタの抵抗値が所期の値に対して変動しない。第二に基板へのはんだ付け時には電極間にははんだブリッジを生じない。チップ型サーミスタ10, 20, 28, 29又は40において、絶縁層13, 14又は44がガラス層の場合にはサーミスタの抗折強度が向上し、熱的ストレスに対して耐久性の高いものとなる。

#### 【0036】

【発明の効果】以上述べたように、従来の製造方法では、工程数が多く複雑であったものが、本発明の製造方法によれば、少ない工程で比較的容易にチップ型サーミスタを製造できるため、量産に適し、製造コストが安価になる。特に、下地電極及びめっき層を形成した後でサーミスタ素体を精密に切断することにより、素子の寸法、電極面積等を厳格に制御できるので、チップになった後の特別な加工を要さず、しかも抵抗値の精度が高いチップ型サーミスタが得られる。また、下地電極の表面にめっき層を形成することにより、はんだ耐熱性とはんだけ着性に優れ、信頼性の高いサーミスタが得られる。

【0037】特に、本発明の第2及び第4のチップ型サーミスタのように、プリント回路基板に対向するサーミスタ素体の一対の端子電極が接触する部分を除いた下面を絶縁層で被覆すれば、はんだブリッジが発生しなくなり、イオン移動が生じにくくなる。第1、第2及び第4のチップ型サーミスタの絶縁層をガラス層で形成すれば、基板実装後の熱的ストレスに起因した引張応力に対する強度が高い。また、本発明の第3及び第4のチップ型サーミスタのように、表裏同形にすれば、基板実装前の作業を容易にし、サーミスタの組付けコストを低減できる。更に、第1及び第2のチップ型サーミスタに関して端子電極を有するサーミスタ素体の下面を除く他の5面に絶縁性被膜を形成すれば、より一層イオン移動が生じにくくなるとともに、サーミスタに不測の外力が加わっても素体が欠けず、また導電性物質が絶縁層を設けていないサーミスタ素体の側面に付着しても特性が変化しない利点もある。

#### 【0038】

【実施例】次に本発明の具体的態様を示すために、本発明を実施例に基づいて説明する。以下に述べる実施例は本発明の技術的範囲を限定するものではない。

<実施例1>次の方法により図1～図3に示す第1のチップ型サーミスタを作製した。先ず市販のマンガン化合物、ニッケル化合物、コバルト化合物を出発原料とし、これらをMnO<sub>2</sub>:NiO:C<sub>6</sub>Oに換算して金属原子比3:1:2の割合でそれぞれ秤量した。秤量物をボールミルで16時間均一に混合した後に脱水乾燥した。次いでこの混合物を900°Cで2時間仮焼し、この仮焼物

を再びボールミルで粉碎して脱水乾燥した。粉碎物に有機結合材を加え、均一に混合した後、混合物を直方体に圧縮成形した。この圧縮成形物を大気圧下、1200°Cで4時間焼成し、たて約35mm、よこ約50mm、厚さ約10mmのセラミック焼結ブロック（図示せず）を作製した。次にこのブロックをバンドソーでウエハ状に切断し、図9に示すたて約35mm、よこ約50mm、厚さ約0.5mmの焼結シート21を得た。

【0039】次に、図10及び図11に示すように、焼結シート21の片面全体に貴金属粉末と無機結合材を含む導電性ペーストを印刷法により塗布した。導電性ペーストは市販の銀ペーストであって、Ag粉末とガラス微粒子と有機ビヒクルとからなる。導電性ペーストを塗布したサーミスタ素体を大気圧下、乾燥した後、30°C/分の速度で、820°Cまで昇温しそこで10分間保持し、30°C/分の速度で室温まで降温してAgからなる焼付け電極層の下地電極16を得た。

【0040】図12に示すように、焼結シート21の下地電極16が設けられない片面全体に結晶化ガラスを含むペーストを印刷法により塗布した。塗布後、焼結シート21を焼成して、厚さ約15μmのガラス層14を形成した。このガラス層14の熱膨張係数は6.8×10<sup>-7</sup>/°Cであって、焼結シート21の熱膨張係数8.5×10<sup>-7</sup>/°Cより小さい。ガラス層14を設けた後、電解めっき法により下地電極16の表面に厚さ1～2μmのNiめっき層17aを形成し、統いてその上に、同様に厚さ3～6μmのSnめっき層17bを形成した（図1及び図3）。

【0041】図12～図14に示すように、上記切断機を用いて符号B部分の下地電極16及びめっき層17からなる電極面をスリット状に研削して多数列の電極を焼結シート21の片面に形成した。次いで図13～図15に示すように、矢印Mの箇所で凹条15を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するよう上記切断機で短冊状に切断し、短冊状サーミスタ素体22を得た後、同一の切断機を用いて矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断して、図15に示す幅W=約0.5mm、長さL=約1.0mm、厚さT=約0.5mmのチップ型サーミスタ10を得た。このチップ型サーミスタ10は裏返して、図3に示すようにその端子電極12, 12がはんだ23によりプリント回路基板24に取付けられる。

【0042】<比較例1>Niめっき層とSnめっき層を設げずに、Ag 80%とPd 20%を含む導電性ペーストを850°Cで焼付けて銀-パラジウムからなる焼付け電極層のみで端子電極を構成した。それ以外は上記実施例1と同様に、ガラス層14を有するチップ型サーミスタを作製した。

【0043】<比較試験と結果>

## ・はんだ付着性

実施例1のサーミスタと比較例1のサーミスタを300個ずつ用意し、230℃の温度で溶融させたAg入りの共晶はんだ(H60-A)浴中にピンセットで試料を挟んで4秒間浸漬し、端子電極のはんだ付着面積を光学顕微鏡で調べた。その結果を表1に示す。

## ・はんだ耐熱性

\*

\*実施例1のサーミスタと比較例1のサーミスタを300個ずつ用意し、350℃の温度で溶融させたAg入りの共晶はんだ(H60-A)浴中にピンセットで試料を挟んで30秒間浸漬し、端子電極の消失状態を光学顕微鏡で調べた。その結果を表1に示す。

【0044】

【表1】

	はんだ付着性	はんだ耐熱性
	はんだ付着面積 95%以上の割合	電極の一部が 消失した割合
実施例1	100%	0%
比較例1	55%	100%

【0045】表1から明らかなように比較例1と比べて実施例1のサーミスタははんだ付着性及びはんだ耐熱性に優れていた。

【0046】<実施例2>次の方法により図4～図6に示す第2のチップ型サーミスタを作製した。先ず実施例1と同様にして図9に示すたて約35mm、横約50mm、厚さ約0.5mmの焼結シート21を得た。次に、図16及び図17に示すように、焼結シート21の片面に実施例1と同じ導電性ペーストを印刷法により繊状に塗布した。塗布後、実施例1と同じ条件でAgからなる多数列の焼付け電極の下地電極16を形成した。電極16の幅はすべて同一であり、電極間は等間隔であった。1つの電極の幅は約0.7mmであり、電極と電極の間隔は約0.4mmであった。焼結シート21の一方の端縁に多数列の下地電極16すべてに接続するめっき用電極層16aを形成した。

【0047】図18に示すように、焼結シート21の両面にそれぞれ同一の結晶化ガラスを含むペーストを印刷法により塗布した。下地電極16間に埋めてガラスペーストを塗布するときには下地電極16の互いに対向する端縁を覆うように塗布した。塗布後、焼結シート21を焼成して、厚さ約15μmのガラス層13、14を形成した。これらのガラス層13、14の熱膨張係数は実施例1と同じ $6.8 \times 10^{-7}/\text{°C}$ である。焼結シート21の熱膨張係数 $8.5 \times 10^{-7}/\text{°C}$ より小さい。めっき用電極層16aにめっき用電極を接続して、電解めっき法により下地電極16の表面に厚さ1～2μmのNiめっき層17aを形成し、続いてその上に、同様に厚さ3～6

30

μmのSnめっき層17bを形成した(図4及び図6)。

【0048】図19～図21に示すように、矢印Mの箇所でめっき層17を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するようにダイヤモンドブレード付き切断機で短冊状に切断し、短冊状サーミスタ素体22を得た後、同一の切断機を用いて矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断して、図21に示す幅W=約0.5mm、長さL=約1.0mm、厚さT=約0.5mmのチップ型サーミスタ20を得た。このチップ型サーミスタ20は裏返して、図6に示すようにその端子電極12、12がはんだ23によりプリント回路基板24に取付けられる。

40

【0049】<比較例2>Niめっき層とSnめっき層を設けずに、Ag80%とPd20%を含む導電性ペーストを850℃で焼付けて銀-パラジウムからなる焼付け電極層のみで端子電極を構成した。それ以外は上記実施例2と同様に、下面ガラス層13及び上面ガラス層14を有するチップ型サーミスタを作製した。

【0050】<比較試験と結果>実施例1及び比較例1と同様にして、実施例2及び比較例2のはんだ付着性及びはんだ耐熱性を調べた。その結果、表1と同じデータが得られた。

【図面の簡単な説明】

【図1】本発明の第1のチップ型サーミスタの外観斜視図。

【図2】その底面図。

50

17

【図3】図2のA-A線断面図。

【図4】本発明の第2のチップ型サーミスタの外観斜視図。

【図5】その底面図。

【図6】図5のA'-A'線断面図。

【図7】本発明の第3のチップ型サーミスタの外観斜視図。

【図8】本発明の第4のチップ型サーミスタの外観斜視図。

【図9】本発明のチップ型サーミスタのサーミスタ素体となるセラミック焼結シートの外観斜視図。

【図10】第1のチップ型サーミスタ用にその焼結シートの片面全体に下地電極が形成された斜視図。

【図11】図10のF部拡大斜視図。

【図12】図11の焼結シートの一方の面の下地電極の表面にめっき層及び他方の面全体に絶縁層がそれぞれ形成された斜視図。

【図13】図12のB部分の電極面が研削された斜視図。

【図14】図13の焼結シートを短冊状に切断した斜視図。

【図15】図14の短冊状サーミスタ素体をチップ状に切断した斜視図。

【図16】第2のチップ型サーミスタ用にその焼結シートの片面に多数列の下地電極が形成された斜視図。

【図17】図16のF部拡大斜視図。

【図18】図17の焼結シートの一方の面の下地電極間及び他方の面全体に絶縁層が形成された斜視図。

【図19】図18の露出した下地電極の表面にめっき層が形成された斜視図。

【図20】図19の焼結シートを短冊状に切断した斜視図。

【図21】図20の短冊状サーミスタ素体をチップ状に切断した斜視図。

【図22】本発明の別の第2のチップ型サーミスタの下地電極を示す図17に対応する斜視図。

【図23】図22の下地電極を有する焼結シートの切断状況を示す要部平面図。

【図24】図22の下地電極を有する焼結シートの別の

18

切断状況を示す要部平面図。

【図25】図23に示す方法で切断して作製されたチップ型サーミスタの底面図。

【図26】図25のB-B線断面図。

【図27】図25のC-C線断面図。

【図28】図24に示す方法で切断して作製されたチップ型サーミスタの底面図。

【図29】図28のD-D線断面図。

【図30】図28のE-E線断面図。

【図31】第3のチップ型サーミスタ用にその焼結シートの両面全体に下地電極が形成された斜視図。

【図32】図31の焼結シートの両面の下地電極の表面にめっき層が形成された斜視図。

【図33】第4のチップ型サーミスタ用にその焼結シートの両面に多数列の下地電極が形成された斜視図。

【図34】図33の焼結シートの両面の下地電極間に絶縁層が形成された斜視図。

【図35】第1又は第2のチップ型サーミスタ用サーミスタ素体の端子電極形成面以外の5面に絶縁性被膜を形成する状況を示す図。

【図36】その絶縁性被膜が形成された第1のチップ型サーミスタの図3に対応する断面図。

【図37】その絶縁性被膜が形成された第2のチップ型サーミスタの図6に対応する断面図。

## 【符号の説明】

10, 20, 28, 29, 30, 40 チップ型サーミスタ

11 サーミスタ素体

12, 32, 42 端子電極

30 13 下面絶縁層

14, 44 上面絶縁層

16, 26, 36, 46 下地電極

17, 37, 47 めっき層

17a, 37a, 47a Niめっき層

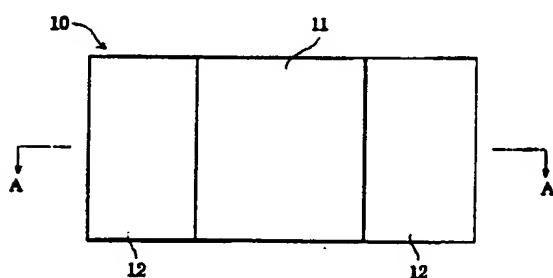
17b, 37b, 47b Sn又はSn/Pbめっき層

21 セラミック焼結シート

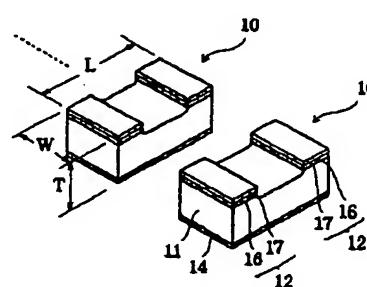
22 短冊状サーミスタ素体

50 絶縁性被膜

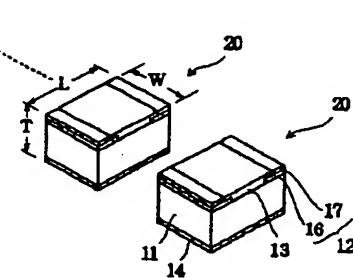
【図2】



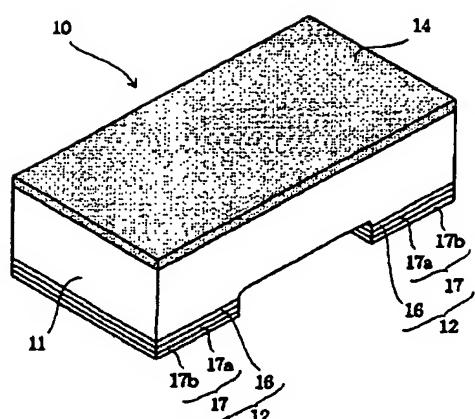
【図15】



【図21】

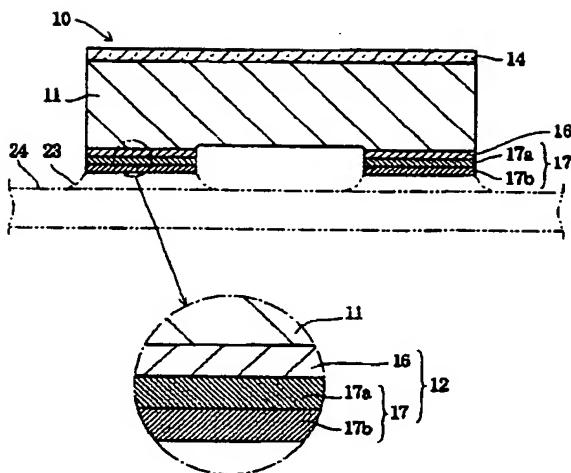


【図1】

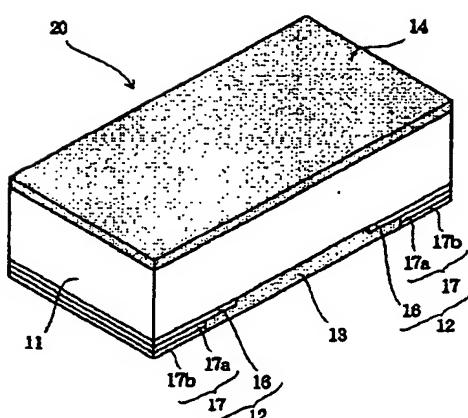


10 チップ型サーミスタ  
 11 サーミスタ素体  
 12 塩子電極  
 14 上面絶縁層  
 16 下地電極  
 17 めっき層  
 17a Niめっき層  
 17b Sn又はSn/Pbめっき層

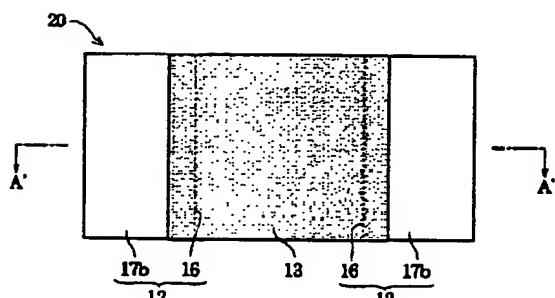
【図3】



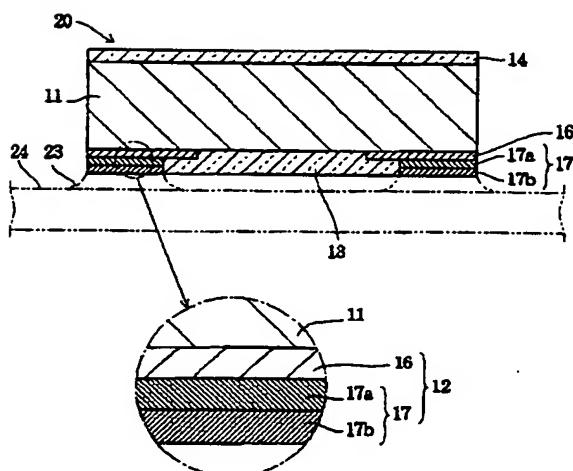
【図5】



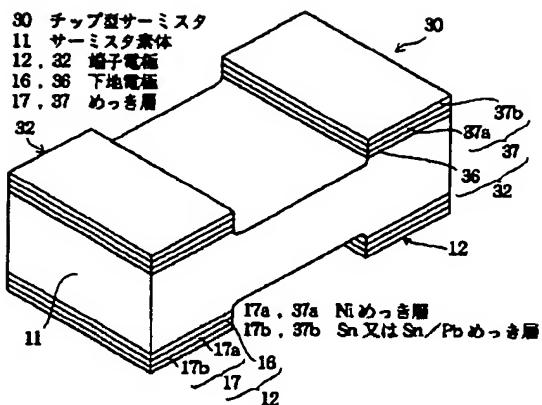
11 サーミスタ素体  
 12 塩子電極  
 13 下面絶縁層  
 14 上面絶縁層  
 16 下地電極  
 17 めっき層  
 17a Niめっき層  
 17b Sn又はSn/Pbめっき層  
 20 チップ型サーミスター



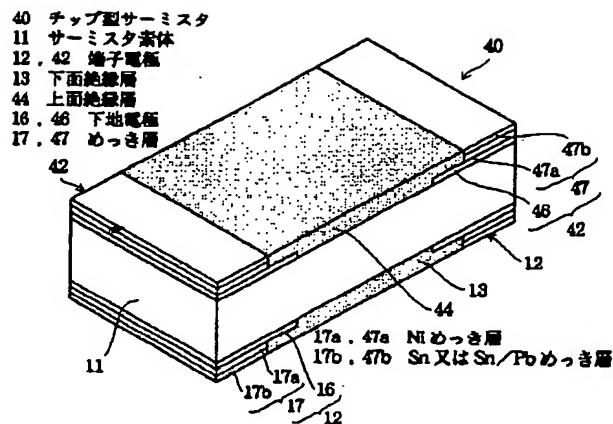
【図6】



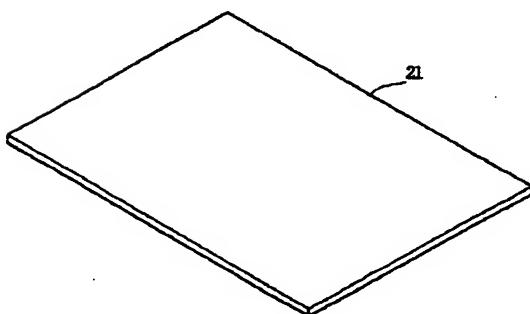
【図7】



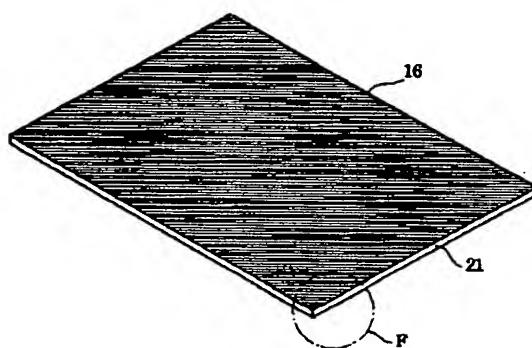
【図8】



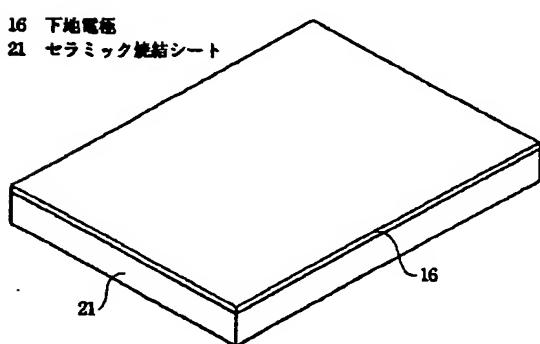
【図9】



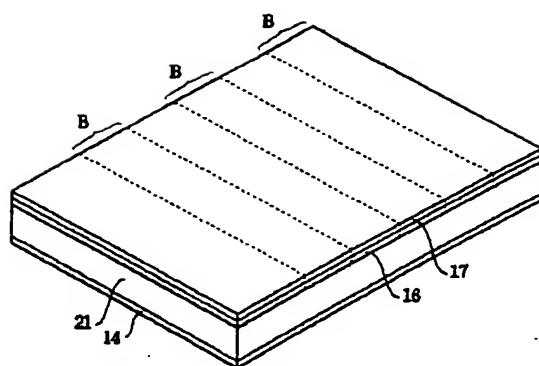
【図10】



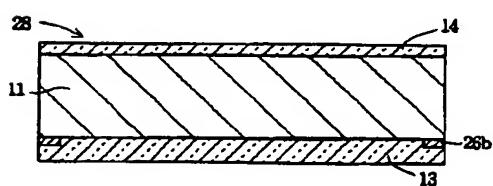
【図11】



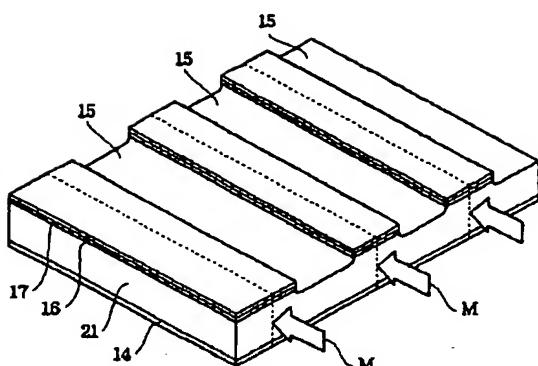
【図12】



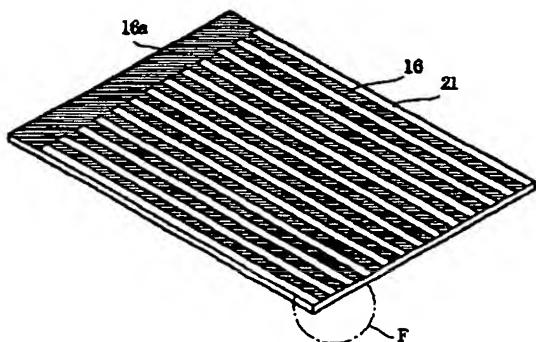
【図27】



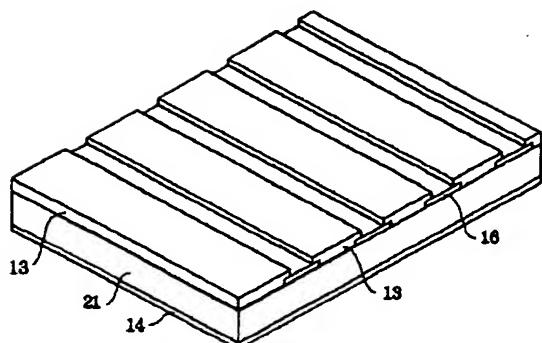
【図13】



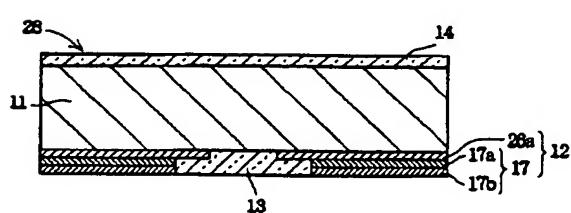
【図16】



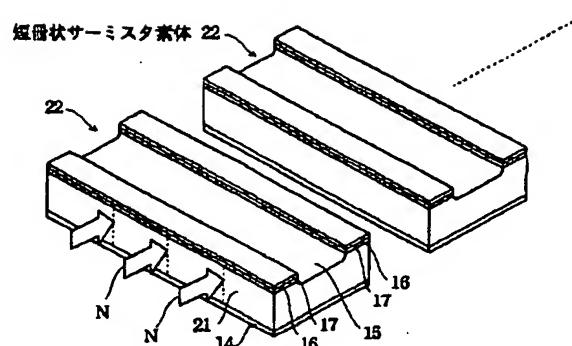
【図18】



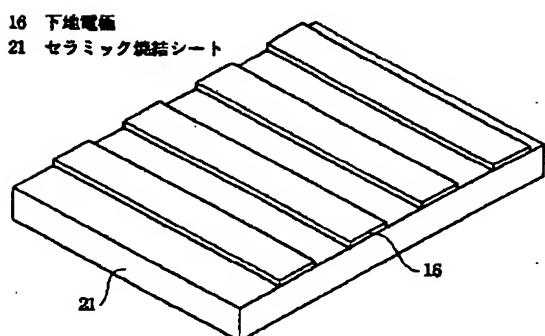
【図26】



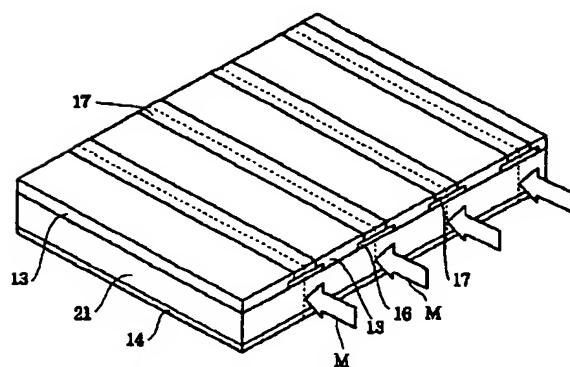
【図14】



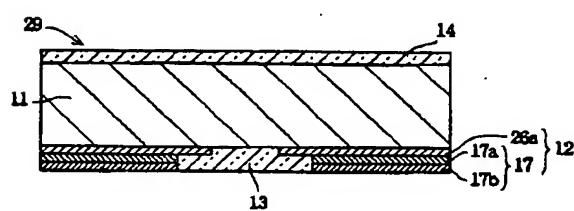
【図17】



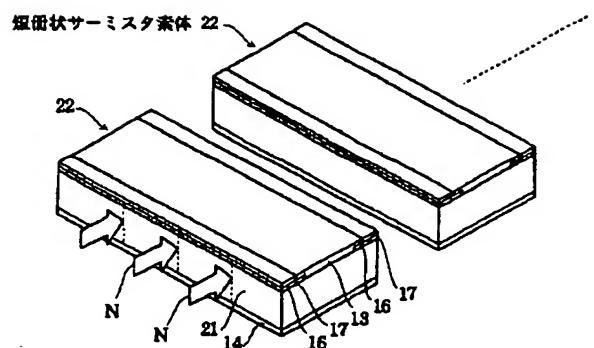
【図19】



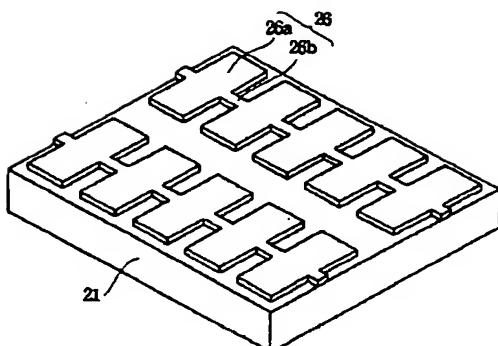
【図29】



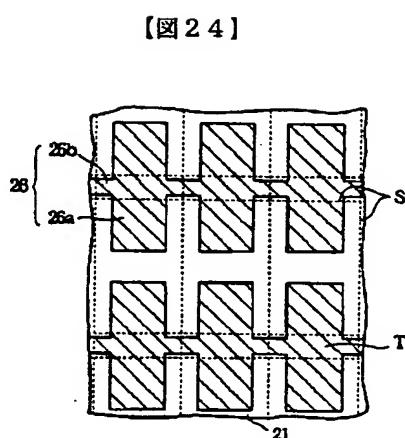
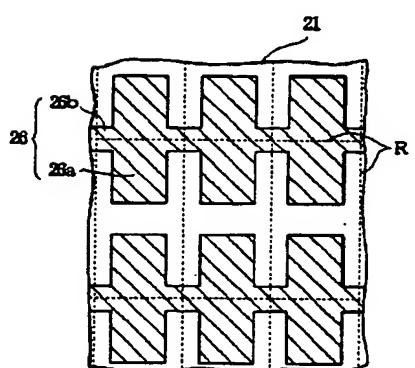
【図20】



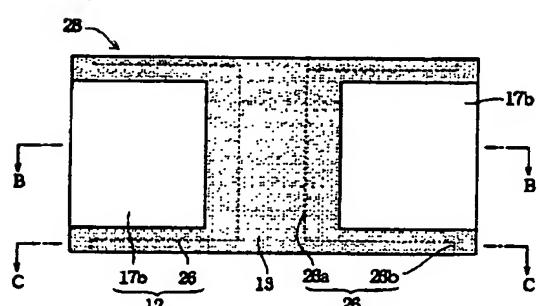
【図22】



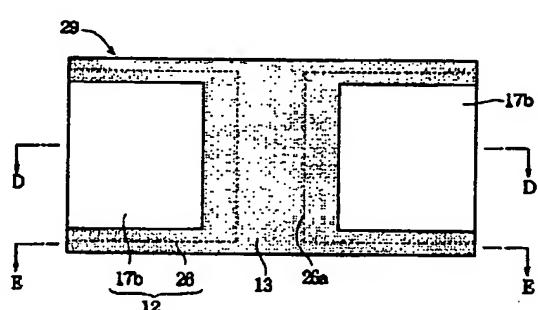
【図23】



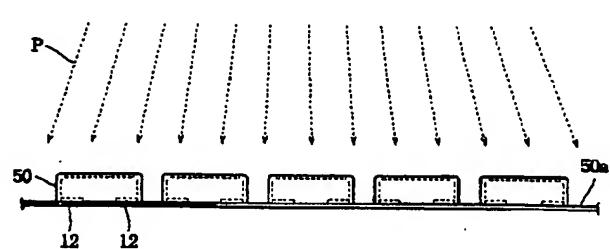
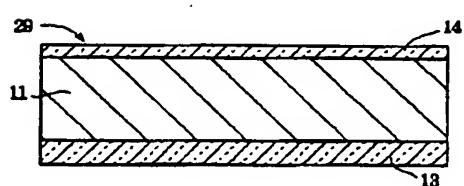
【図25】



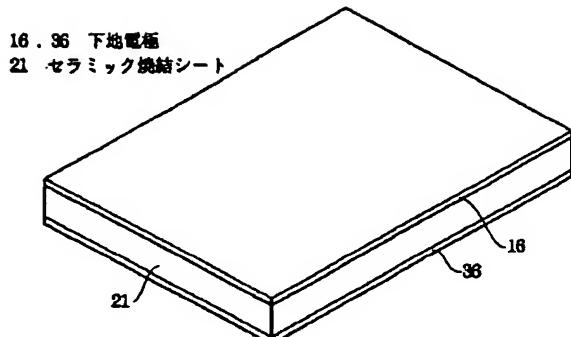
【図28】



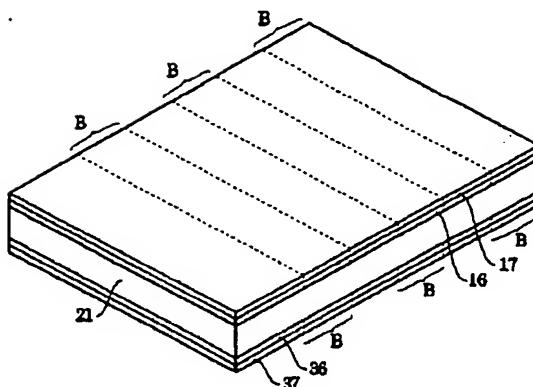
【図30】



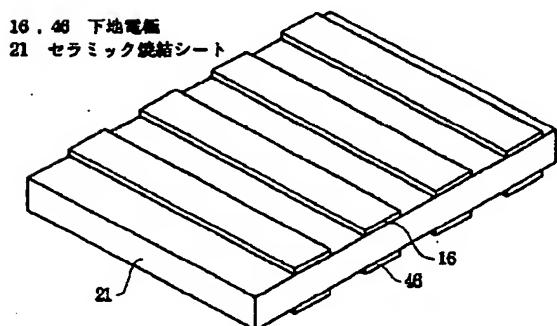
【図31】



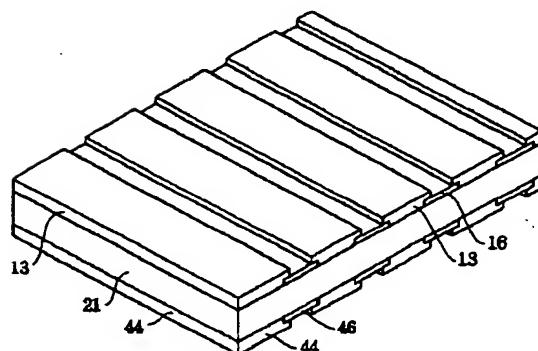
【図32】



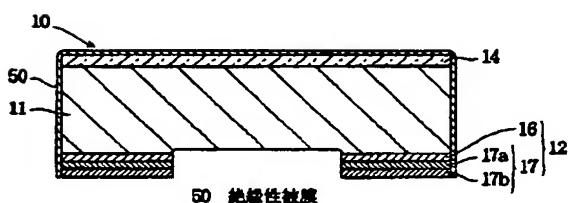
【図33】



【図34】



【図36】



【図37】

